

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-328089  
 (43)Date of publication of application : 30.11.1999

(51)Int.Cl. G06F 13/14

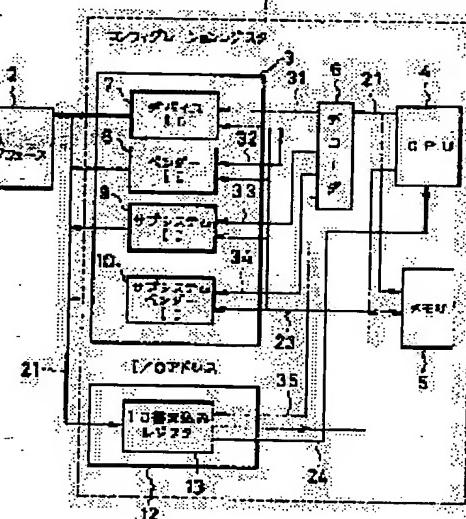
(21)Application number : 10-150578 (71)Applicant : NEC SHIZUOKA LTD  
 (22)Date of filing : 14.05.1998 (72)Inventor : RACHI TADA AAKI

## (54) ID INFORMATION WRITE CIRCUIT IN DEVICE FOR PCI BUS INTERFACE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a circuit which can set arbitrary ID information to a device for PCI interface.

**SOLUTION:** A means is provided, which reads out and sets ID information to registers, where a device ID 7, a vendor ID 8, a sub-system ID 9, a sub-system vendor ID 10, etc., in a device for PCI bus interface, are stored, from a storage means before the start of a configuration cycle of a PCI interface from a host. The host recognizes the ID information set as aforementioned in the configuration cycle of the PCI interface 2. An ID write register 13 which sets each ID information through the PCI interface 2 and a means which performs the control to store a value in a prescribed area of the said storage means at the time of setting this value to the ID write register 13 are provided.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-328089

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.  
G 0 6 F 13/14

識別記号  
3 2 0

F I  
G 0 6 F 13/14

3 2 0 A

審査請求 有 請求項の数 5 FD (全 5 頁)

(21)出願番号 特願平10-150578

(22)出願日 平成10年(1998)5月14日

(71)出願人 000197366

静岡日本電気株式会社

静岡県掛川市下俣800番地

(72)発明者 良知 忠明

静岡県掛川市下俣4番2 静岡日本電気株  
式会社

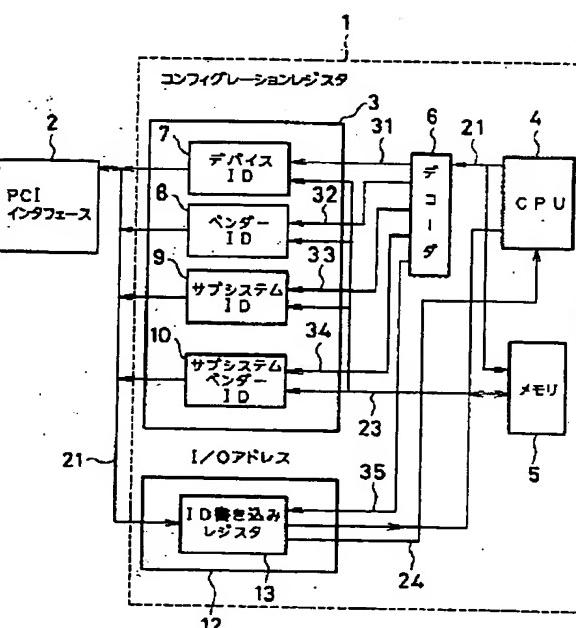
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 PCIバスインターフェース用デバイスにおけるID情報書き込み回路

(57)【要約】

【課題】PCIインターフェース用デバイスに複数の任意のID情報を設定可能とする回路の提供。

【解決手段】ホストからのPCIインターフェースのコンフィギュレーションサイクルが始まる前にPCIバスインターフェース用デバイスにおけるベンダーID、サブシステムID、サブシステムベンダーID等の各ID情報を格納するレジスタへのID情報を記憶手段から読み出して設定する手段を備え、ホストはPCIインターフェースのコンフィギュレーションサイクルにおいて前記設定されたID情報を認識する。また各ID情報をPCIインターフェースを介して設定するためのID書き込み用レジスタと、ID書き込み用レジスタに値が設定された際に前記記憶手段の所定領域に前記値を記憶するように制御する手段を備える。



## 【特許請求の範囲】

【請求項1】コンピュータ側からバスインターフェースを介して所定のバスサイクルにてデバイスの固有情報を保持するレジスタがアクセスされるデバイスにおいて、前記バスサイクル開始前に、記憶手段に格納された固有情報を読み出して前記レジスタに設定する手段を備え、前記バスサイクルにおいて前記設定されたレジスタの値が前記コンピュータ側で認識される、ように構成してなる、ことを特徴とするID情報書き込み回路。

【請求項2】前記コンピュータ側から受け取った固有情報を前記記憶手段に書き込む手段を備えたことを特徴とする請求項1記載のID情報書き込み回路。

【請求項3】前記レジスタが、PCIバスインターフェース用デバイスにおけるコンフィギュレーションレジスタのデバイスID、ベンダーID、サブシステムID、サブシステムベンダーIDの各レジスタよりなる、ことを特徴とする請求項1記載のID情報書き込み回路。

【請求項4】PCIバスインターフェース用デバイスにおいて、

ホスト側からのPCIインターフェースのコンフィギュレーションサイクルが始まる前に、前記PCIバスインターフェース用デバイスにおけるコンフィギュレーションレジスタのうちベンダーID、サブシステムID、サブシステムベンダーID等の各ID情報をそれぞれ保持するレジスタへのID情報を記憶手段から読み出して設定する手段を備え、

前記ホスト側では、PCIインターフェースのコンフィギュレーションサイクルにおいて前記各レジスタに設定されたID情報を認識する、ことを特徴とするID情報書き込み回路。

【請求項5】前記ホスト側から前記PCIインターフェースを介して前記各ID情報を設定するためのID書き込み用レジスタと、

前記ID書き込み用レジスタに値が設定された際に、前記記憶手段の所定領域に前記値を記憶するように制御する手段と、を備えたことを特徴とする請求項3記載のID情報書き込み回路。

## 【発明の詳細な説明】

## 【0.001】

【発明の属する技術分野】本発明は、情報処理装置における入出力装置の制御方式に関し、特にPCIバスインターフェース用デバイスにおけるID情報書き込み回路に関する。

## 【0.002】

【従来の技術】PCI (peripheral component interconnect) バスにおけるコンフィギュレーション (configuration: コンフィギュレーション) レジスタのデバイスID、ベンダーID、サブシステムID、サブシステムベンダーIDは、PCIバス用LSIに初期設定された値が、パソコン等のコンピュータのPCIインターフェース

のコンフィギュレーションサイクル時に読み出される構成とされている。なお、PCIバスに接続するデバイスは、デバイスの特性、種類、動作方式などを設定する為のコンフィギュレーションレジスタを有し、このレジスタ群にアクセスする為のアドレス空間がコンフィギュレーションアドレス空間であり、このアドレス空間にアクセスする為のPCIバスサイクルをコンフィギュレーションバスサイクルという。

## 【0.003】

10 【発明が解決しようとする課題】初期値は1つに限られるか、もしくは端子設定により限定された数の設定に限られていた上、LSI開発後に、IDの設定を変更することは不可能であった。

【0.004】このため、同一のデバイスで複数の任意IDを有することは不可能であった。

【0.005】したがって、本発明は、上記の問題点に鑑みてなされたものであって、その目的は、PCIインターフェースのコンフィギュレーションサイクルが始まる前に行い、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーID等の変更が容易に行えることにより、同一のデバイスで複数のIDを持つことが可能とするID番号書き込み回路を提供することにある。

## 【0.006】

【課題を解決するための手段】前記目的を達成するため、コンピュータ側からバスインターフェースを介して所定のバスサイクルにてデバイスの固有情報を格納したレジスタがアクセスされるデバイスにおいて、前記バスサイクル開始前に、記憶手段に格納された固有情報を読み出して前記レジスタに設定する手段を備え、前記バスサイクルにおいて前記設定されたレジスタの値が認識される、ように構成してなるものである。本発明においては、前記コンピュータ側から受け取った固有情報を前記記憶手段に書き込む手段を備える。

## 【0.007】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、PCIインターフェース用デバイスが、ホスト(パソコン)側からのPCIインターフェースのコンフィギュレーションサイクルが始まる前に、PCIバスインターフェース用デバイスにおけるベンダーID、サブシステムID、サブシステムベンダーID等の各ID情報を格納するレジスタへのID情報を記憶手段から読み出して設定する手段を備え、ホスト側では、PCIインターフェースのコンフィギュレーションサイクルにおいて前記設定されたID情報をホスト側で認識する、ようにしたものである。すなわち、図1を参照すると、パソコン等のコンピュータのPCIインターフェース(2)がコンフィギュレーションレジスタ(3)に対して、コンフィギュレーションサイクルを開始する前に、CPU(4)、メモリ

(5)、デコーダ(6)により、コンフィギュレーションレジスタ(3)のデバイスID用レジスタ(7)、ベンダーID用レジスタ(8)、サブシステムID用レジスタ(9)、サブシステムベンダーID用レジスタ(10)に任意のID番号が書き込まれる。ホストのPCIインターフェース(2)によって、コンフィギュレーションサイクルが開始され、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーIDがパソコンに認識されるときは前述の任意のIDが認識される。

【0008】さらに、本発明の実施の形態においては、PCIインターフェース用デバイスの各ID情報をホスト側からPCIインターフェースを介して設定するためのID書き込み用レジスタを備え、このID書き込み用レジスタに値が設定された際に、前記記憶手段の所定領域に設定された値を記憶するように制御する手段を備える。

【0009】このように、本発明の実施の形態においては、PCIバスインターフェース用デバイスにおけるデバイスID、ベンダーID、サブシステムID、サブシステムベンダーID等の書き込みを、コンピュータのPCIインターフェースのコンフィギュレーションサイクルが始まる前に行い、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーID等の変更が容易に行えるようにしたことにより、同一のデバイスで複数のIDを持つことを可能としている。

#### 【0010】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例におけるPCIバスインターフェース用デバイスにおけるID番号書き込み回路の構成を示す図である。

【0011】図1において、1はID番号書き込み回路、2はパソコンのPCIインターフェースを、3はコンフィギュレーションレジスタ、4はCPU、5はメモリ、6はデコーダ、7、8、9、10はコンフィギュレーションレジスタ5の中の読み・書き可能なレジスタであるデバイスID用レジスタ、ベンダーID用レジスタ、サブシステムID用レジスタ、サブシステムベンダーID用レジスタをそれぞれ示している。

【0012】12はID番号書き込み回路3が持つI/Oアドレスであり、13はID番号書き込み回路3が持つI/Oアドレスの中のID設定レジスタである。

【0013】21はPCIバス、22はアドレスバス、23はデータバス、24は割り込み信号、31～35は選択信号をそれぞれ示している。

【0014】パソコンのPCIインターフェース2は、コンフィギュレーションレジスタ3とPCIバス21で接続されている。コンフィギュレーションレジスタ3の中のデバイスID用レジスタ7、ベンダーID用レジスタ8、サブシステムID用レジスタ9、サブシステムベンダーID用レジスタ10はPCIバス21を通して読み

出しが可能である。

【0015】また、パソコンのPCIインターフェース2はPCIバス21によって、ID番号書き込み回路3が持つI/Oアドレス12の中のID設定レジスタ13に接続されている。PCIインターフェース2の通常のI/Oアドレスの書き込みによって、パソコンはID設定レジスタ13への書き込みが可能である。

【0016】CPU4は、アドレスバス22によって、メモリ5とデコーダ6に接続されており、データバス2

10 3によって、メモリ5とコンフィギュレーションレジスタ3のデバイスID用レジスタ7、ベンダーID用レジスタ8、サブシステムID用レジスタ9、サブシステムベンダーID用レジスタ10と、ID番号書き込み回路3が持つI/Oアドレス12の中のID設定レジスタ13とにそれぞれ接続されている。

【0017】デコーダ6は、CPU6が出力したアドレスをデコードし、選択信号31～35を出力する。選択信号31～35はそれぞれ、コンフィギュレーションレジスタ3の中のデバイスID用レジスタ7、ベンダーID用レジスタ8、サブシステムID用レジスタ9、サブシステムベンダーID用レジスタ10、I/Oアドレス12の中のID設定レジスタ13に接続される。

【0018】I/Oアドレス12の中のID設定レジスタ13は、割り込み信号24によって、CPU4に接続されている。ID設定レジスタ13は、レジスタに書き込みがなされた際に、CPU4に対して、割り込み信号24を出力する。

【0019】以上の構成により、CPU4は、メモリ5内のデータを、コンフィギュレーションレジスタ3のデバイスID用レジスタ7、ベンダーID用レジスタ8、サブシステムID用レジスタ9、サブシステムベンダーID用レジスタ10に書き込むことができ、またI/Oアドレス12の中のID設定レジスタ13に、パソコンがPCIインターフェース2を介して書き込んだデータをCPU4が読み込んで、メモリ5に書き込むことができる。

【0020】次に本発明の一実施例の動作について説明する。

【0021】図1を参照すると、パソコンのPCIインターフェース2がコンフィギュレーションレジスタ3に対して、コンフィギュレーションサイクルを開始する前に、CPU4は、メモリ5の中にプログラムの一部として記憶された、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーIDのデータを読み出す。次にCPU4は、デコーダ6を介して、コンフィギュレーションレジスタ3の中のデバイスID用レジスタ7、ベンダーID用レジスタ8、サブシステムID用レジスタ9、サブシステムベンダーID用レジスタ10を順次選択し、メモリ5から読み出したデータを書き込んでいく。

【0022】パソコンのPCIインターフェース2によつて、コンフィギュレーションサイクルが開始され、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーIDがパソコンで認識されるときは、先に書き込まれた各IDが認識される。

【0023】また、メモリ5に、電気的に書き込みが可能で不揮発性のメモリとしてフラッシュメモリ(EEPROM)を使用した場合は、メモリ5内のIDのデータを書き換えることができる。

【0024】パソコンは、PCIバスのコンフィギュレーションサイクルによって、I/Oアドレス12の中のID設定レジスタ13を認識している。パソコンがPCIインターフェース2を介して、I/Oアドレス12の中のID設定レジスタ13にIDのデータを書き込むと、CPU4に対して割り込み信号24を出力する。CPU4はこの割り込みを確認することにより、I/Oアドレス12の中のID設定レジスタ13に書き込まれたデータを読み出し、メモリ5のIDのエリアに書き込む。このようにしてメモリ5内のIDの書き換えが行われたことにより、パソコンが次回起動し、コンフィギュレーションサイクルを行った際に、パソコン側では異なるIDを認識することができる。

#### 【0025】

【発明の効果】以上説明したように、本発明によれば、PCIバスインターフェース用デバイスにおけるデバイスID、ベンダーID、サブシステムID、サブシステムベンダーID等の書き込みを、パソコンのPCIインターフェースのコンフィギュレーションサイクルが始まる前に行い、デバイスID、ベンダーID、サブシステムID、サブシステムベンダーID等の変更が容易に行えることにより、同一のデバイスで複数のIDを持つことが

可能とするという効果を奏する。

【0026】このため、本発明によれば、同一のPCIバス対応のボードを製造しても、出荷時にIDを変更することにより、パソコン側で異なるボードであるものと認識される。またパソコンが、ベンダーIDを認識することによって、会社名を表示する場合も、本発明により、供給先の社名表示が可能となる。

【0027】さらには、本発明によれば、パソコン起動後に、メモリのIDを記憶している部分を書き換えることが可能となっているため、同一のプログラムで、工場出荷時に、容易にIDを書き換えることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

#### 【符号の説明】

- |       |                   |
|-------|-------------------|
| 1     | ID番号書き込み回路        |
| 2     | PCIインターフェース       |
| 3     | コンフィギュレーションレジスタ   |
| 4     | CPU               |
| 5     | メモリ               |
| 6     | デコーダ              |
| 7     | デバイスID用レジスタ       |
| 8     | ベンダーID用レジスタ       |
| 9     | サブシステムID用レジスタ     |
| 10    | サブシステムベンダーID用レジスタ |
| 12    | I/Oアドレス           |
| 13    | ID設定レジスタ          |
| 21    | PCIバス             |
| 22    | アドレスバス            |
| 23    | データバス             |
| 24    | 割り込み信号            |
| 31～35 | 選択信号              |

【図1】

